

Тема 1

Структурная схема микроЭВМ – основные блоки и взаимодействие между ними.

Назначение выводов, структурная схема МП КР580ВМ80

Структурная схема микроЭВМ

МикроЭВМ состоит из следующих основных блоков (рис. 1).

Блок центрального процессора – включает в себя БИС МП КР580ВМ80 и схемы буферирования трех его шин – адреса, данных и управления. К этим шинам подключаются блоки:

Запоминающих устройств (ЗУ) – постоянного (ПЗУ) и оперативного (ОЗУ);

Внешних устройств (ВУ) – устройства приема и выдачи информации.

Такая организация называется *модульной*.

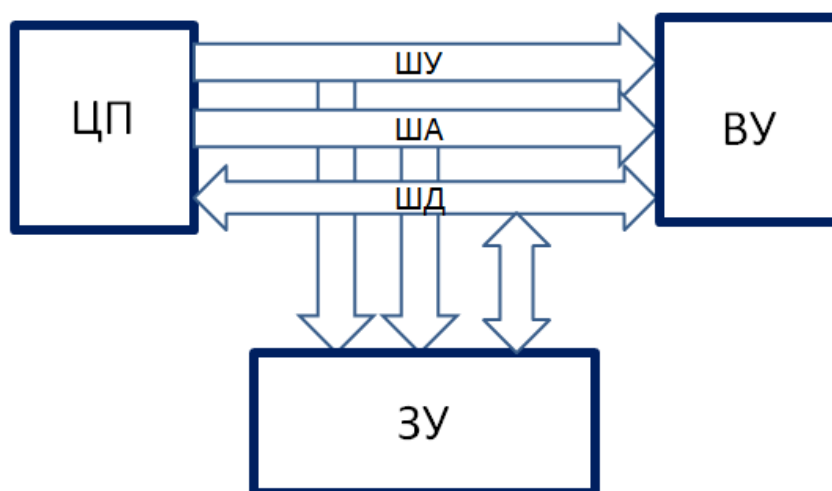


Рис. 1. Структурная схема микроЭВМ

Главной микросхемой данной микроЭВМ является БИС МП КР580ВМ80, условное графическое обозначение которого приведено на рис. 2.

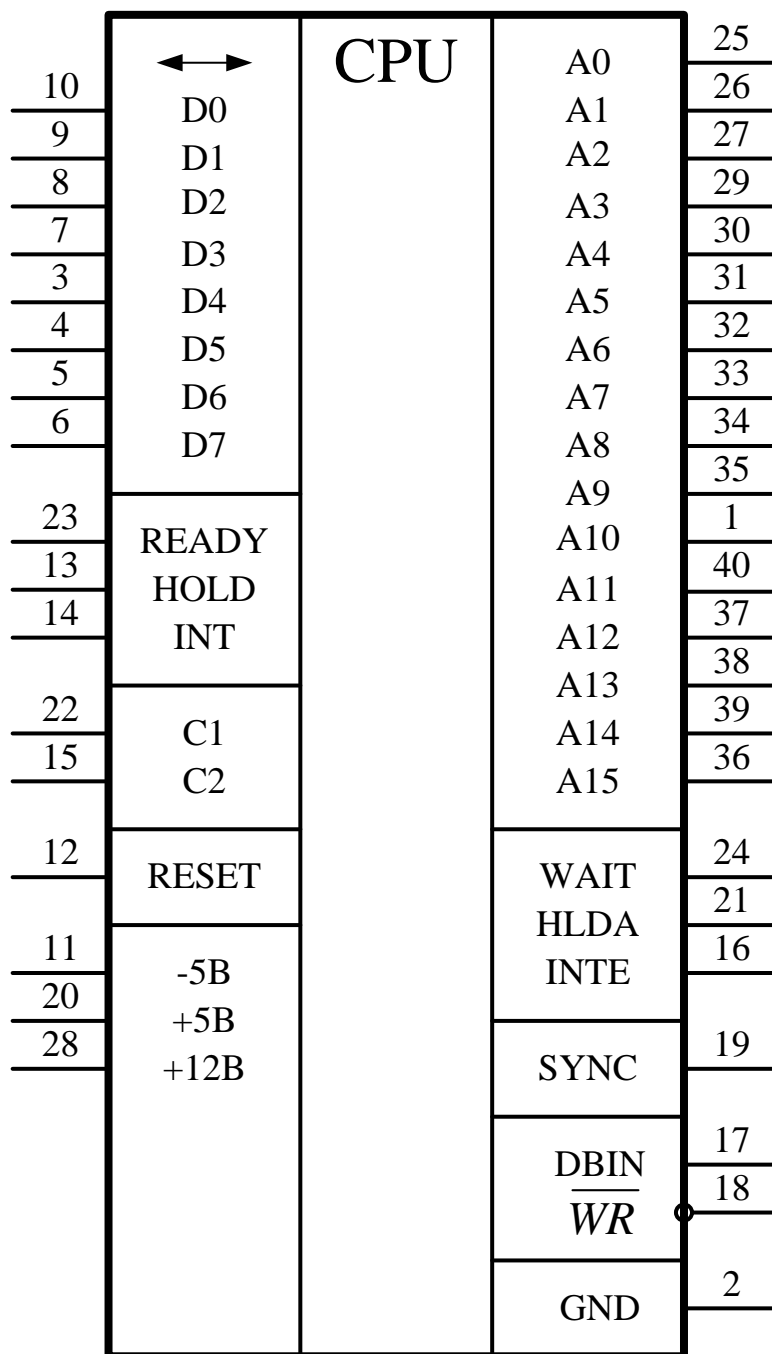


Рис. 2. Условное графическое обозначение БИС МП КР580ВМ80

Назначение выводов

Питание

У данного микропроцессора три уровня питания - -5, +5 и +12 В, что является существенным недостатком и требует отдельного блока питания, поскольку остальные микросхемы комплекта работают с напряжением +5 В.

Шина адреса

Состоит из 16 однонаправленных линий A0...A15 (выводы 1, 25...40 на рис. 2) с направлением передачи информации «от МП к остальным блокам». Микропроцессор является «центром управления» микроЭВМ, поэтому адрес может формировать только он (кроме режима захвата, см. ниже).

Шина данных

Состоит из 8 двунаправленных линий D0...D7 (выводы 3...10 на рис. 2). Направление передачи информации определяется в начале каждого машинного цикла (МЦ) в соответствии с выполняемой командой. Направлению «от МП к системе» будет соответствовать активный выходной сигнал выдачи \overline{WR} (вывод 18 на рис. 2). Направлению «от системы к МП» будет соответствовать активный выходной сигнал приема \overline{DBIN} (вывод 17 на рис. 2).

Синхронизация

На входы C1 и C2 поступают сигналы от генератора тактовых импульсов КР580ГФ24. Частота импульсов составляет 2...2,5 кГц. Их временная диаграмма показана на рис. 3. Импульсы сдвинуты друг относительно друга и не перекрываются. Начало машинного такта (МТ) синхронизируется по переднему фронту последовательности C1. Все действия по выполнению команд (за исключением выдачи информации микропроцессором) синхронизируются по переднему фронту последовательности C2.

Несколько МТ, предназначенных для осуществления одного действия микропроцессором (запись/выдача в память, запись/выдача во внешнее устройство) называется машинным циклом (МЦ). В начале каждого МЦ микропроцессор выдает сигнал синхронизации $SYNC=1$ на выводе 19 на время, равное одному МТ (рис. 3). В это же время микропроцессор формирует на ШД *байт состояния*.

Байт состояния – «служебная» информация, формируемая микропроцессором, сохраняется вне микропроцессора на все время машинного

цикла и служит для синтеза управляющих сигналов для управления памятью и внешними устройствами в текущем машинном цикле.

Режим прерывания

Служит для организации реакции микропроцессора на внешние сигналы от датчиков. Сигнал от датчика называется запросом на прерывание. Он подается на вход INT микропроцессора (вывод 14 на рис. 2). В том случае, если прерывания программно разрешены, внутренний сигнал МП «Разрешение прерывания» INTE=1 (вывод 16 на рис. 2), тогда МП по окончании выполнения текущей команды основной программы переходит к выполнению подпрограммы обработки прерывания.

Режим захвата

Служит для организации передачи массивов данных между памятью и внешними устройствами, минуя микропроцессор. Функции управления памятью и внешними устройствами выполняет в этом режиме специальная БИС – контроллер прямого доступа к памяти (КПДП) КР580ВТ57.

Инициация данного режима осуществляется подачей *запроса на захват* HOLD=1 на ножку 13 микропроцессора. По окончании выполнения MT3 текущего МЦ микропроцессор выдает *подтверждение захвата* HLDA=1 на свой вывод 21. Этот сигнал отключает микропроцессор от ША и ШД, переводя их в «третье» состояние (состояние высокого сопротивления). Этот же сигнал HLDA=1 переводит КПДП в активное состояние и эта БИС начинает управление циклами прямого доступа к памяти (ПДП).

Режим ожидания

Предназначен для увеличения времени машинного цикла при работе микропроцессора с устройством, имеющим меньшее быстродействие по сравнению с микропроцессором. По сигналу готовности RDY=1 (вывод 23 на рис. 2) микропроцессор выставляет сигнал ожидания WAIT=1 (вывод 24 на рис. 2) и вставляет такты ожидания $T_{ож}$ между MT2 и MT3 текущей команды до тех пор, пока от внешнего устройства не придет сигнал RDY=0. Таким об-

разом, МП ждет медленно работающее внешнее устройство. После прихода $RDY=0$ МП выставляет сигнал ожидания $WAIT=0$, выходит из режима ожидания и продолжает выполнение текущей команды.

Режим сброса

Переводит МП в исходное состояние – триггеры всех режимов сброшены, в регистре адреса формируется адрес 0000H и МП начинает выполнение команды, записанной в памяти по этому адресу.

Структурная схема МП КР580ВМ80

Схема регистровой модели МП представлена на рис. 3.

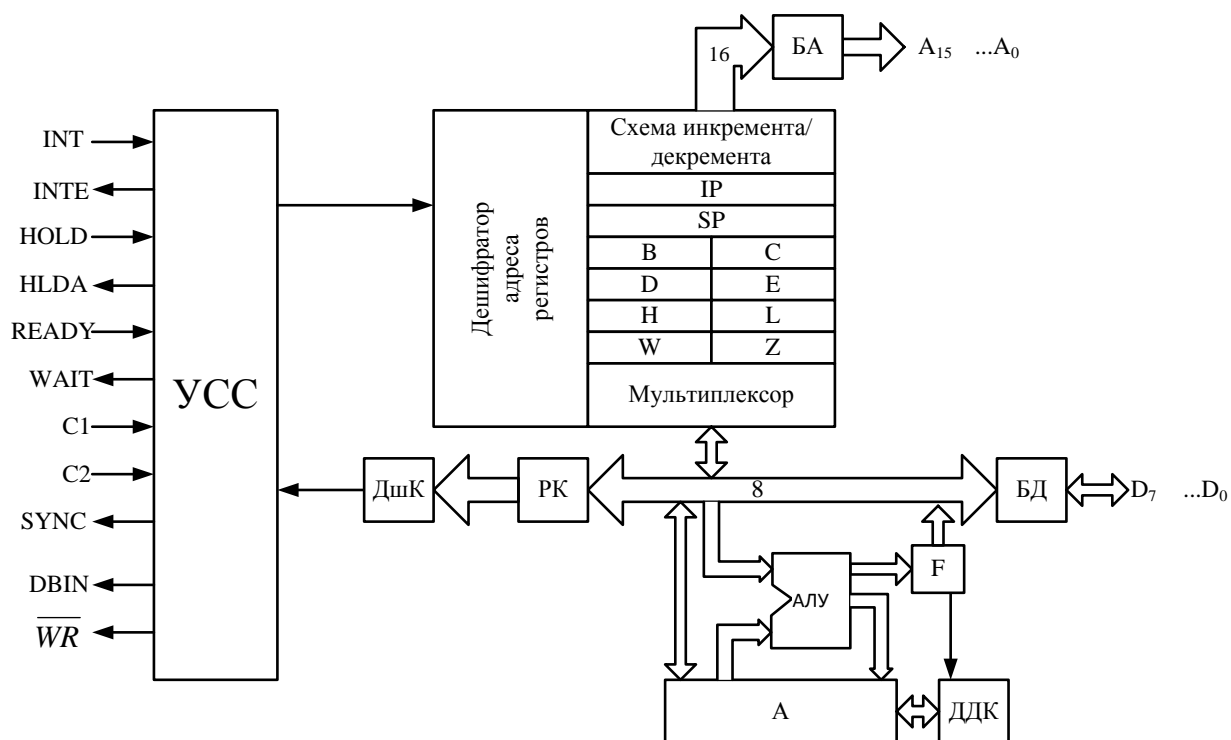


Рис. 3. Структурная схема МП

Здесь БА – буфер адреса; БД – буфер данных.

На структурной схеме можно выделить следующие основные компоненты:

- ✓ Блок управления и синхронизации (БУС);

- ✓ Блок регистров;
- ✓ Блок арифметико-логического устройства (блок АЛУ).

Блок управления и синхронизации

БУС содержит

- ✓ устройство управления и синхронизации (УУС),
- ✓ регистр команд (РК) и
- ✓ дешифратор команд (ДшК).

Регистр команд (РК) предназначен для хранения первого байта команды.

Дешифратор команд (ДшК) – дешифратор на 8 входов, подключенных к регистру команд. Выходные сигналы этого дешифратора запускают логические схемы по выполнению соответствующей команды микропроцессора.

Устройство управления и синхронизации (УСС) – это совокупность логических схем для реализации выполнения команд микропроцессора и перехода к различным режимам работы. Оно осуществляет:

- 1) Синхронизацию работы МП и остальных частей микропроцессорной системы – это прием входных сигналов $C1$ и $C2$ и формирование выходного сигнала синхронизации SYNC.
- 2) Прием сигнала от дешифратора команд и запуск соответствующей логической схемы по выполнению дешифрированной команды.
- 3) Формирование байта состояния вначале каждого МЦ.
- 4) Анализ запроса на прерывание INT и переход к режиму «Прерывание».
- 5) Анализ запроса на захват HOLD и переход к режиму «Захват» с выдачей соответствующего выходного сигнала HLDA.
- 6) Анализ сигнала готовности READY и переход к режиму «Ожидание» с выдачей соответствующего выходного сигнала WAIT.
- 7) Прием сигнала сброса RESET и переход к режиму «Сброс».

Блок АЛУ

Включает в себя следующие компоненты.

Арифметико-логическое устройство (АЛУ) – логические схемы, предназначенные для реализации арифметических и логических действий над 8-разрядными числами;

Аккумулятор (А) – специфический регистр микропроцессора, состоящий из 8 триггеров, включающихся параллельно или последовательно в зависимости от выполняемой функции:

- 1) Является источником первого операнда при выполнении арифметических и логических команд;
- 2) Является приемником результата выполнения арифметических и логических команд;
- 3) Осуществляет сдвиговые операции.

Регистр признаков F – содержит флажки (признаки) выполненной в АЛУ операции.

Схема двоично-десятичной коррекции (ДДК) – предназначена для организации работы с двоично-десятичными числами.

Блок регистров

Включает в себя:

Программно-доступные регистры общего назначения (РОНы) В, С, D, E, H, L;

Программно-недоступные регистры W, Z;

Программный счетчик РС – 16-разрядный счетчик, содержащий адрес программной памяти, с которым работает МП при выполнении команды. Он увеличивается на 1 при считывании каждого байта команды.

Указатель стека SP – счетчик, предназначенный для организации работы со стековой памятью (подробно будет рассмотрен позже).